

【特許請求の範囲】

【請求項1】複数の入出力回線を収容したスイッチ手段を備え、各入力回線から受信した入力セルをそれぞれのヘッダ部の内容に応じて決まる少なくとも1つの出力回線に振り分ける非同期転送モード（ATM）交換機において、

各コネクション毎に、正常時の出力回線と障害時に迂回路となるべき出力回線とに対応付けられた複数のヘッダ情報を記憶するヘッダ情報記憶手段と、

上記各入力回線から受信した入力セル毎に、当該入力セルを出力すべき出力回線での障害有無に応じて、上記記憶手段から読み出されたヘッダ情報のうちの少なくとも1つを選択する選択手段と、

上記選択手段によって選択されたヘッダ情報に基づいて、入力セルのヘッダ部の内容を変換するためのヘッダ変換手段とを有し、

各入力セルを上記変換されたヘッダ情報と対応する出力回線に出力するようにしたことを特徴とするATM交換機。

【請求項2】前記入出力回線毎に回線インターフェイスを有し、各回線インターフェイスが、前記ヘッダ情報記憶手段と、前記選択手段と、前記ヘッダ変換手段とを備えたことを特徴とする請求項1に記載のATM交換機。

【請求項3】前記ヘッダ情報が、出力回線上で有効な出力コネクション情報と、出力回線を特定するための出力回線情報とからなり、

前記ヘッダ変換手段が、各入力セルのヘッダ部に含まれるコネクション情報を前記選択手段によって選択されたヘッダ情報が示す出力コネクション情報に置き換えると共に、上記ヘッダ部に上記ヘッダ情報が示す出力回線情報を付加した形式で各入力セルを前記スイッチ手段に入力し、

上記スイッチ手段が、各入力セルを上記出力回線情報によって特定される出力回線に振り分けることを特徴とする請求項1または請求項2に記載のATM交換機。

【請求項4】前記ヘッダ情報記憶手段が、入力セルを正常時の出力回線に送出するための第1のヘッダ情報群を記憶する第1のテーブル手段と、入力セルを迂回路に送出するための第2のヘッダ情報群を記憶するための第2のテーブル手段とからなり、

前記選択手段が、該ATM交換機に収容された複数の出力回線について障害の有無を示す状態情報を記憶するための状態記憶手段と、上記第1のテーブル手段から各入力セルのヘッダ部に含まれるコネクション識別情報と対応付けられた第1のヘッダ情報を読み出すための手段と、上記第1のテーブル手段から読み出された第1のヘッダ情報で特定される第1の出力回線の状態を上記状態記憶手段に記憶された障害状態情報によって判定し、上記第1の出力回線が正常な場合は上記第1のヘッダ情報を前記ヘッダ変換手段に供給し、上記第1の出力回線に

障害があった場合は、当該入力セルのコネクション識別情報と出力回線の障害状況との組合せによって特定される第2のヘッダ情報を上記第2のテーブル手段から読み出して前記ヘッダ変換手段に供給するための選択制御手段とからなることを特徴とする請求項1～請求項3の何れかに記載のATM交換機。

【請求項5】前記選択制御手段が、入力セルのコネクション識別情報と出力回線の障害状況との組合せに対応したテーブルアドレスを出力するためのアドレス生成手段を有し、上記アドレス生成手段によって出力されたテーブルアドレスに基づいて、前記第2のテーブル手段から前記第2のヘッダ情報が読み出されることを特徴とする請求項4に記載のATM交換機。

【請求項6】前記第1、第2のテーブル手段に記憶されるヘッダ情報が、出力用のコネクション情報と、出力回線を特定するための出力回線情報とからなり、前記選択制御手段が、上記第1または第2のテーブル手段から読み出されたヘッダ情報のうち、出力用のコネクション情報を前記ヘッダ変換手段に、出力回線情報を前記スイッチ手段にそれぞれ供給し、前記ヘッダ変換手段が、各入力セルのヘッダ部に含まれるコネクション情報を前記選択手段から与えられた出力用のコネクション情報に置き換えて上記スイッチ手段に入力し、

上記スイッチ手段が、上記ヘッダ変換手段から入力された各入力セルを、上記選択制御手段から入力された出力回線情報によって特定される出力回線に振り分けることを特徴とする請求項4または請求項5に記載のATM交換機。

【請求項7】前記状態情報記憶手段が、物理的な出力回線毎の障害および各出力回線に多重化されたコネクション毎の障害の有無を記憶したことを特徴とする請求項4～請求項6の何れかに記載のATM交換機。

【請求項8】前記記憶手段が、何れかのコネクションについて正常時にセルを出力すべき複数の出力回線と対応させて前記ヘッダ情報を記憶しており、該コネクションの入力セルが複数の出力回線にブロードキャストされるようにしたことを特徴とする請求項1～請求項7の何れかに記載のATM交換機。

【請求項9】複数の入出力ポートを備えたスイッチ手段と、上記入出力ポートと入出力回線との間に設けられた複数の回線インターフェイスと、上記各回線インターフェイスと上記スイッチ手段とに接続された制御装置とからなり、各入力回線から受信した入力セルをそれぞれのヘッダ部の内容に応じて決まる少なくとも1つの出力回線に振り分ける非同期転送モード（ATM）交換機において、

各回線インターフェイスが、入力セルをコネクション対応に予め通常用方路として指定された出力回線に振り分けるための第1ヘッダ情報を

発生する第1のヘッダ生成手段と、
各入力セルをコネクション対応に予め迂回用方路として
指定された出力回線に振り分けるための第2ヘッダ情報
を発生する第2のヘッダ生成手段と、
入力回線から受信した入力セル対応に、通常用方路の出
力回線が正常な場合は上記第1のヘッダ生成手段で生成
された第1ヘッダ情報を適用し、上記通常用方路の出力
回線における障害または該出力回線に多重化されたコネ
クション障害が発生した場合は、上記第2のヘッダ生成
手段で生成された第2ヘッダ情報を適用して各入力セル
のヘッダ部を選択的に変換するヘッダ変換手段とを備
え、
上記スイッチ手段が、上記各入力ポートから受信した入
力セルをヘッダ変換に適用されたヘッダ情報と対応する
出力回線に振り分け動作するようにしたことを特徴とす
るATM交換機。

【請求項10】前記ヘッダ変換手段が、ATM交換機に
収容された各出力回線毎に障害の有無を記憶するための
状態記憶手段を備え、各入力セル毎に、前記第1のヘッ
ダ生成手段で生成された第1ヘッダ情報で特定される出
力回線の状態を上記状態記憶手段の記憶情報によって判
定し、上記出力回線が正常な場合は上記第1ヘッダ情報
を選択し、上記出力回線に障害があった場合は、前記第
2のヘッダ生成手段で生成したヘッダ情報を選択してヘ
ッダ変換を行うことを特徴とする請求項9に記載のAT
M交換機。

【請求項11】前記ヘッダ変換手段が、
ATM交換機に収容された各出力回線毎に障害の有無を
記憶するための状態記憶手段と、各入力セル毎に、前記
第1のヘッダ生成手段で生成された第1ヘッダ情報で特
定される第1の出力回線の状態を上記状態記憶手段の記
憶情報によって判定するための手段と、前記第2のヘッ
ダ生成手段に各入力セルのコネクション識別情報と出力
回線の障害状況とによって決まるアドレス情報を与える
ための手段とを備え、

上記第1の出力回線が正常な場合は上記第1ヘッダ情報
を選択し、上記第1の出力回線に障害があった場合は、
前記第2のヘッダ生成手段が上記アドレス情報に応じて
生成した第2のヘッダ情報を選択して、ヘッダ変換を行
うことを特徴とする請求項9に記載のATM交換機。

【請求項12】前記第2のヘッダ生成手段が、1つのコ
ネクションについて、異なる迂回用出力回線と対応付け
られた複数の第2ヘッダ情報のうちの1つを選択的に生
成する機能を有し、

前記ヘッダ変換手段が、ATM交換機に収容された各出
力回線毎に障害の有無を記憶するための状態記憶手段
と、各入力セル毎に、前記第1のヘッダ生成手段で生成
された第1ヘッダ情報で特定される第1の出力回線の状
態を上記状態記憶手段の記憶情報によって判定するた
めの手段と、前記第2のヘッダ生成手段に各入力セルの

コネクション識別情報と出力回線の障害状況とによって決
まるアドレス情報を与えるための手段とを備え、上記第
1の出力回線が正常な場合は、上記第1ヘッダ情報を選
択し、上記第1の出力回線に障害があった場合は、前記
第2のヘッダ生成手段が上記アドレス情報に応じて生成
した障害状況によって異なる第2のヘッダ情報を選択し
て、ヘッダ変換を行うことを特徴とする請求項9に記載
のATM交換機。

【請求項13】複数の入出力回線を収容した非同期転送
モード(ATM)交換機における出力パス切替方法であ
って、

コネクション設定の際に、通常用方路となる出力回線の
他に、該出力回線に障害が発生した場合に迂回用方路と
なるべき少なくとも1つの出力回線を予め指定してお
き、該通常用および迂回用の各出力回線と対応して、入
力セルのヘッダ変換に適用すべき複数のヘッダ情報を記
憶手段に予め記憶し、

上記各入力回線からの入力セルの受信の都度、当該入力
セルを出力すべき通常用方路の出力回線における障害ま
たは該出力回線に多重化されたコネクション障害の有無
に応じて、上記記憶手段に記憶してある通常用の出力回
線または迂回用の出力回線と対応した何れかのヘッダ情
報を選択的に適用して、上記入力セルのヘッダ変換を行
い、

上記入力セルを上記ヘッダ変換に適用されたヘッダ情報
と対応する出力回線に出力するようにしたことを特徴と
するパス切替方法。

【請求項14】前記ヘッダ情報をATM交換機の各入出
力回線に接続された回線インターフェイス部において記
憶することを特徴とする請求項13に記載のパス切替方
法。

【請求項15】前記ATM交換機の何れかの出力回線で
障害が発生または復旧した時、前記各回線インターフェ
イス部において出力回線毎の障害状態を示す記憶情報を
更新しておき、

各入力回線からの入力セルの受信の都度、当該入力セル
を出力すべき通常用方路の出力回線における障害の有無
を上記記憶情報に基づいて判断し、上記通常用方路の出
力回線に障害が発生していた場合に、迂回用として指定
してある出力回線と対応したヘッダ情報を適用して入力
セルのヘッダ変換を行うことを特徴とする請求項14に
記載のパス切替方法。

【請求項16】少なくとも1つのコネクションについ
て、迂回用方路となるべき複数の出力回線を指定し、迂
回用の各出力回線と対応して前記ヘッダ変換に適用す
べき複数のヘッダ情報を記憶しておき、

各入力回線からの入力セルの受信の都度、当該入力セル
を出力すべき通常用方路の出力回線における障害の有無
を上記記憶情報に基づいて判断し、上記通常用方路の出
力回線に障害が発生していた場合に、迂回用となるべき

出力回線における障害の発生状況に応じて、迂回用の何れかの出力回線と対応したヘッダ情報を選択し、前記入力セルのヘッダ変換を行うことを特徴とする請求項13～請求項15の何れかに記載のパス切替方法。

【請求項17】少なくとも1つのコネクションについて、通常用方路となる複数の出力回線を指定し、各出力回線毎に迂回用方路となるべき出力回線を指定し、通常用および迂回用の各出力回線と対応して前記ヘッダ変換に適用すべきヘッダ情報を記憶しておき、上記コネクションの入力セルが受信された時、当該入力セルを出力すべき通常用方路の複数の出力回線における障害の有無を前記障害有無を示す記憶情報に基づいて判断し、上記通常用方路の何れかの出力回線に障害が発生していた場合に、迂回用として指定してある出力回線と対応したヘッダ情報を適用し、障害のない出力回線については通常用出力回線と対応したヘッダ情報を適用し、1つの入力セルを複数の出力回線にブロードキャストすることを特徴とする請求項13～請求項15の何れかに記載のパス切替方法。

【請求項18】複数の入出力回線を備えた非同期転送モード(ATM)ノード装置における1つの入力回線に挿入されるATMレイヤ処理装置であって、コネクション対応に、通常時のヘッダ変換に適用される第1ヘッダ情報を発生する第1のヘッダ生成手段と、コネクション対応に、出力回線障害時のヘッダ変換に適用される第2ヘッダ情報を発生する第2のヘッダ生成手段と、入力回線から受信した入力セル対応に、通常時の出力回線が正常な場合は上記第1のヘッダ生成手段で生成された第1ヘッダ情報を適用し、上記通常時の出力回線に障害が発生した場合は上記第2のヘッダ生成手段で生成された第2ヘッダ情報を適用して、各入力セルのヘッダ部を選択的に変換するヘッダ変換手段とを備えたことを特徴とするATMレイヤ処理装置。

【請求項19】前記ヘッダ変換手段が、前記ノード装置の各出力回線毎に障害の有無を記憶するための状態記憶手段を備え、各入力セル毎に、前記第1のヘッダ生成手段で生成された第1ヘッダ情報で特定される出力回線の状態を上記状態記憶手段の記憶情報によって判定し、上記出力回線が正常な場合は上記第1ヘッダ情報を選択し、上記出力回線に障害があった場合は、前記第2のヘッダ生成手段で生成したヘッダ情報を選択してヘッダ変換を行うことを特徴とする請求項18に記載のATMレイヤ処理装置。

【請求項20】前記ヘッダ変換手段が、前記ノード装置の各出力回線毎に障害の有無を記憶するための状態記憶手段と、各入力セル毎に、前記第1のヘッダ生成手段で生成された第1ヘッダ情報で特定される第1の出力回線の状態を上記状態記憶手段の記憶情報によって判定するための手段と、前記第2のヘッダ生成手

段に各入力セルのコネクション識別情報と出力回線の障害状況とによって決まるアドレス情報を与えるための手段とを備え、上記第1の出力回線が正常な場合は上記第1ヘッダ情報を選択し、上記第1の出力回線に障害があった場合は、前記第2のヘッダ生成手段が上記アドレス情報に応じて生成した第2のヘッダ情報を選択して、ヘッダ変換を行うことを特徴とする請求項18に記載のATMレイヤ処理装置。

【請求項21】前記状態記憶手段が、各出力回線の障害の有無を出力回線対応に表示ビットをもつビットマップによって記憶し、前記判定手段が、前記第1の出力回線の状態を上記ビットマップによって判定することを特徴とする請求項20に記載のATMレイヤ処理装置。

【請求項22】前記ビットマップが、各出力回線の物理パスの障害、バーチャルパスまたはバーチャルチャネルの障害の状態により決定されることを特徴とする請求項21に記載のATMレイヤ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は非同期転送モード(ATM)交換機に関し、特に、通信路の障害に応じた迂回路選択機能を備えたATM交換機、ATMレイヤ処理回路およびパス切替方法に関する。

【0002】

【従来の技術】非同期転送モード(ATM)ネットワークにおけるノード装置を構成するATM交換機は、例えば図21に示すように、複数の入出力ポートを備えたATMスイッチ101と、入出力回線対応に設けられた複数の回線インタフェース102(102a～102n)と、呼制御用の制御装置103からなり、各回線インタフェース102は、例えば、図22に示すように、ATMスイッチの入力ポートに接続される入力インターフェイス(入力ATMレイヤ処理回路)2と、出力ポートに接続される出力インターフェイス(出力ATMレイヤ処理回路)93と、入出力回線と上記各インターフェイスとの間に接続される障害監視回路4と、制御プロセッサ5からなっている。

【0003】回線インタフェース102に入力されたATMセルは、障害監視回路4において入力セルが障害管理用のOAM(Operation, Administration And Maintenance)セルか否かがチェックされる。入力セルがOAMセルの場合は、セル内に設定されている障害情報が読み出され、その他のセルの場合は、入力セルは障害監視回路を通過して入力ATMレイヤ処理回路2に入力される。入力ATMレイヤ処理回路2は、入力セルのヘッダ情報であるバーチャルパス識別子(VPI)とバーチャルチャネル(またはコネクション)識別子(VCI)をそれぞれ出力回線用のVPI、VCIの値に変換し、ATMスイッチの内部ルーチング情報となる出力回線情報(出力ポート識別子)を付加した形で、入力セルをAT

Mスイッチ101に出力する。

【0004】ATMスイッチ101は、入力されたATMセルをそれぞれの出力回線情報によって決まる回線インタフェース102に振り分ける。放送モードのATMセルで、出力回線情報が複数の出力先をしている場合は、ATMスイッチ1は、入力セルから必要個数のコピーを生成し、宛先となる複数の回線インタフェース102に転送動作する。ATMスイッチ101からの出力セルを受信した各回線インタフェース102は、受信したATMセルをおよび障害監視回路4を経由して、出力回線に送出する。尚、不要となった出力回線情報は、出力ATM処理回路3において除去される。

【0005】入力ATMレイヤ処理回路2は、例えば図23に示すように、ルーティングテーブル21と、セルヘッダ書換え部22と、セルバッファメモリ23とからなっている。ルーティングテーブル21には、入力VPIと入力VCIとの組に対応して、例えば図2に示すように、出力VPI21aと、出力VCI21bと、出力回線情報21cとが記憶しており、入力セルのヘッダ部に設定された入力VPI/VCIをアドレスとしてヘッダ変換後の出力VPI/VCI、および出力回線情報が読み出されるようになっている。また、各回線インタフェース102の制御プロセッサ5は、コネクション対応に、例えば図3に示すように、迂回先の出力回線情報25cと、該出力回線における出力VPI25aおよび出力VCI25bの値を記憶している。

【0006】入力回線インタフェース2に入力されたセルは、セルバッファメモリ23に一時的に格納される。この時、ヘッダ部に含まれるVPI/VCIをアドレスとしてルーティングテーブル21から出力VPI/出力VCIおよび出力回線情報が読み出され、ATMセルヘッダ書換え部22に供給される。セルヘッダ書換え部22は、バッファメモリから入力されたATMセルのヘッダ部にあるVPI/VCIをルーティングテーブル21から読み出された出力用のVPI/VCIに置き換え、出力回線情報を付加してATMスイッチ101に送る。尚、ATMスイッチ101の構成によっては、ルーティングテーブル21から読み出した出力回線情報を、ATMセルと切り離した形でATMスイッチ101に供給するようにしてもよい。

【0007】障害監視回路4は、前述したOAMセルからの障害情報の抽出動作の他に、回線、バーチャルバス(VP)、バーチャルチャネル(VC)の状態を監視し、障害を検出した場合は、制御プロセッサ5を経由して制御装置103へ障害通知動作を行う。また、上記制御プロセッサ5は、制御装置103からの指令に基づいて、ルーティングテーブル21に記憶されている出力回線情報、出力VPI、出力VCIをそれぞれ迂回先の出力回線情報、出力VPI、出力VCIに書き変える。このルーティングテーブルの書換えにより、入力ATMレ

イヤ処理回路2でのATMセルのヘッダ変換の内容が切替られ、出力セルの迂回動作が実現されることになる。

【0008】

【発明が解決しようとする課題】従来のATM交換機では、上述したように、障害発生時の迂回動作が、回線インタフェースの制御プロセッサによるルーティングテーブルの書き換えによって実現されていたため、迂回すべきコネクション数が多くなった場合、迂回制御に時間を要し、障害が検出されてから実際にATMセルの迂回動作が実行されるまでの間に多くのセルが廃棄されてしまうという問題があった。本発明の目的は、障害発生時に迅速に迂回動作を実現できるATM交換機、ATMレイヤ処理装置およびバス切替方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明によるATM交換機は、複数の入出力回線を収容したスイッチ手段と、各コネクション毎に、正常時の出力回線と障害時に迂回路となるべき出力回線とに対応付けられた複数のヘッダ情報を記憶するヘッダ情報記憶手段と、上記各入力回線から受信した入力セル毎に、当該入力セルを出力すべき出力回線での障害有無に応じて、上記記憶手段から読み出されたヘッダ情報のうちの少なくとも1つを選択する選択手段と、上記選択手段によって選択されたヘッダ情報に基づいて、入力セルのヘッダ部の内容を変換するためのヘッダ変換手段とを有し、各入力セルを上記変換されたヘッダ情報と対応する出力回線に出力するようにしたことを特徴とする。

【0010】更に詳述すると、上記ヘッダ情報記憶手段、選択手段およびヘッダ変換手段は、ATM交換機の入出力回線毎に設けられた各回線インタフェース内、例えば、ヘッダ変換機能をもつATMレイヤ処理回路部に形成される。また、上記ヘッダ情報は、例えば、出力回線上で有効となる出力コネクション情報(VPI/VCI)と、出力回線を特定するための出力回線情報とからなり、上記ヘッダ変換手段が、各入力セルのヘッダ部に含まれるコネクション情報を上記選択手段によって選択されたヘッダ情報が示す出力コネクション情報に置き換えると共に、ヘッダ部に上記ヘッダ情報が示す出力回線情報を付加した形式で各入力セルをスイッチ手段に入力し、上記スイッチ手段が、各入力セルを上記出力回線情報によって特定される出力回線に振り分ける。なお、スイッチ手段の構成によっては、上記出力回線情報をセルとは独立した形でスイッチ手段に入力してもよい。

【0011】本発明のバス切替方法は、複数の入出力回線を収容したATM交換機において、コネクション設定の際に、通常用方路となる出力回線の他に、該出力回線に障害が発生した場合に迂回用方路となるべき少なくとも1つの出力回線を予め指定しておき、該通常用および迂回用の各出力回線と対応して、入力セルのヘッダ変

換に適用すべき複数のヘッダ情報を記憶手段に予め記憶し、上記各入力回線からの入力セルの受信の都度、当該入力セルを出力すべき通常用方路の出力回線における障害の有無に応じて、上記記憶手段に記憶してある通常用の出力回線または迂回用の出力回線と対応した何れかのヘッダ情報を選択的に適用して、上記入力セルのヘッダ変換を行い、上記入力セルを上記ヘッダ変換に適用されたヘッダ情報と対応する出力回線に出力するようにしたことを特徴とする。

【0012】

【作用】本発明の構成によれば、入力インタフェース部が、コネクション毎に、少なくとも1つの迂回路を含む複数の出力回線と対応して複数のヘッダ情報を予め記憶し、出力回線に状態に応じてヘッダ変換に適用すべきヘッダ情報を選択するようにしているため、出力回線に障害が発生した時、あるいは出力回線上の特定のVPで障害が発生した時、ヘッダ変換に適用するヘッダ情報を迂回路用のものに切替ることによって、入力セルを障害のない迂回路用出力回線に迅速に転送することができる。また、呼設定時に、1つのコネクションに対して複数の迂回路を用意し、各迂回路毎の複数の迂回用ヘッダ情報を予め記憶しておくことによって、当初の出力回線と迂回中の出力回線の双方に障害（多重障害）が発生した場合でも、更に他の迂回路を自動的に選択して、迅速なパス切替を実現することができる。

【0013】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明のATM交換機において各回線インタフェースが備える入力ATMレイヤ処理回路2の1実施例を示すブロック図である。入力ATMレイヤ処理回路2は、ルーティングテーブル21と、セルヘッダ書換え部22と、セルバッファメモリ23と、迂回ルーティングテーブル25と、迂回対象セル検出部26と、セレクトア27と、テーブルアドレス生成部28とからなっている。

【0014】ルーティングテーブル21は、入力VPIと入力VCIとの組合せに対応して、図2に示すように、出力VPI21aと、出力VCI21bと、出力回線情報21cとからなる変換用ヘッダ情報を記憶しており、これらのヘッダ情報は入力VPI/VCIの組をアドレスとして読み出される。迂回ルーティングテーブル25は、コネクション対応に、例えば図3に示すように、迂回先の出力VPI25aと、出力VCI25bと、出力回線情報25cとからなる迂回用ヘッダ情報を記憶しており、これらのヘッダ情報は、テーブルアドレス生成部28が有効信号を出力した場合に、テーブルアドレス生成部28から出力されるアドレス情報に基づいて読み出される。なお、テーブルアドレス生成部28が無効信号を出力した場合は、迂回ルーティングテーブル25からは無効データが出力される。

【0015】入力回線インタフェース2に入力されたATMセルは、セルバッファ23に一時的に格納される。この時、入力セルのヘッダ部から抽出された入力VPIと入力VCIが、ルーティングテーブル21と迂回対象セル検出部26に供給される。これによって、上記入力VPI/VCIと対応するヘッダ情報がルーティングテーブル21から読み出され、セレクトア27に供給される。また、上記ヘッダ情報のうち、出力回線情報と出力VPIが迂回対象セル検出部26に供給される。

10 【0016】図4は、迂回対象セル検出部26の1実施例を示す。迂回対象セル検出部26は、迂回対象セル検出回路261と、切替端指示テーブル262と、出力回線ビットマップメモリ263と、障害VPIビットマップメモリ264と、障害回線ビットマップレジスタ265とからなり、必要に応じて出力回線ビットマップメモリ263が設けられる。切替端指示テーブル262には、出力回線に障害が発生時、その入力ATMレイヤ処理回路が迂回処理を行うべきか否かを示す指示情報がコネクション単位で記憶しており、これらの指示情報は入力VPI/VCIの組をアドレスとして読み出せるようになっている。指示情報が「1」の場合は迂回処理を行い、「0」の場合は迂回処理を行わない。

30 【0017】出力回線ビットマップメモリ263は、各コネクションの出力回線情報を後述するテーブルアドレス生成部28に対してビットマップ形式で通知するために用意されるものであり、ルーティングテーブル21から読み出された出力回線情報が既にビットマップ形式となっている場合は、このビットマップメモリ263は不要であり、ルーティングテーブル21からの出力回線情報を迂回対象セル検出回路261に直接供給すればよい。本実施例では、ルーティングテーブル21の出力回線情報が既にビットマップ形式、すなわち、それぞれがATMスイッチ101の複数の出力ポートと対応する複数のビットからなり、入力セルの出力先となる回線と対応したビット位置に「1」、それ以外のビット位置に「0」が設定された形式でとなっているものとする。出力回線情報が、入力セルの出力先となる回線（または出力ポート）を各回線に固有の番号で示している場合は、上記出力回線ビットマップメモリ263によって、回線番号を上述したビットマップ形式に変換してから、迂回対象セル検出回路261に供給する。

40 【0018】障害VPIビットマップメモリ264は、後述する障害VPI情報をビットマップ形式で保持し、障害回線ビットマップレジスタ265は、障害回線情報をビットマップ形式で保持する。障害VPIビットマップメモリ264と障害回線ビットマップレジスタ265には、初期状態においてオール0が設定される。或る出力回線の特定の出力VPIに障害が発生した場合、障害VPIビットマップメモリ264において、上記障害出力回線/出力VPIと対応するビット位置に「1」がセ

ットされる。出力回線に障害が発生した場合、障害回線ビットマップレジスタ265において、障害出力回線と対応するビット位置に「1」がセットされる。尚、障害から復旧した場合は、対応するビット位置が「0」にリセットされる。

【0019】各回線インターフェイスにおいて、制御プロセッサ5は、呼制御装置103から障害情報の通知を受けると、障害内容に応じて上記障害VPIビットマップメモリ264および障害回線ビットマップレジスタ265の内容を更新する。回線障害が通知された場合は、障害回線が上記障害回線ビットマップレジスタ265において記憶され、VP障害が通知された場合は、障害が発生した出力回線と障害VPIが上記障害VPIビットマップメモリ264において記憶される。

【0020】入力回線インタフェース(ATMレイヤ処理回路)2がATMセルを受信し、ルーティングテーブル21から変換ヘッダ情報が読み出され、迂回対象セル検出部26に出力回線情報と出力VPIが入力されると、迂回対象セル検出部26は、出力回線情報を迂回対象セル検出回路261に入力すると共に、障害VPIビットマップメモリ264および障害回線ビットマップレジスタ265から上記出力VPIに対応するビットマップデータを読み出し、これらを迂回対象セル検出回路261に入力する。

【0021】図5は、上記迂回対象セル検出回路261の構成の1例を示す。図において、301、302、303、309はラッチ回路、304(304a~304n)、305(305a~305n)および306はAND回路、307、308(308a~308n)はOR回路を示す。出力回線情報(出力回線ビットマップメモリ263の出力)はラッチ302に、障害VPIビットマップメモリ264からの読み出しデータはラッチ301に、また、障害回線ビットマップレジスタ265からの読み出しデータはラッチ303にそれぞれ保持される。

【0022】AND回路304(304a~304n)は、上記ラッチ301、302の互いに対応する位置関係にあるビット毎の論理積を算出する。これによって、AND回路304の出力は、入力セルを出力すべき回線のうち回線障害となっているものをビットマップ形式で示すことになる。同様に、AND回路305(305a~305n)は、ラッチ302、303の互いに対応する位置関係にあるビット毎の論理積を算出し、入力セルを出力すべき回線のうちVPI障害となっているものをビットマップ形式で示す。OR回路308(308a~308n)は、上記AND回路304と305の出力の各ビット毎の論理和を計算し、入力セルを出力すべき回線のうち、回線障害、VPI障害の何れかの障害状態にあるものをビットマップ形式で示す。上記OR回路308の出力は、ラッチ309経由でテーブルアドレス生

成部28に送られる。

【0023】一方、OR回路307は、AND回路304、305の出力ビットの論理和を計算する。上記OR回路307の出力が「1」の場合は、入力回線インターフェイス2に受信したATMセルの出力先となる回線において、回線障害、VPI障害の何れかの障害が発生していることを意味している。上記OR回路307の出力は、切替端指示テーブル262からの出力と共に、AND回路306に入力される。入力セルの出力回線が障害状態にあり、その入力セル(この例では回線インターフェイス)に関して切替端指示が出ている場合に、上記AND回路306からセクタ27に供給される迂回指示信号が「1」となる。

【0024】図6は、連想メモリを用いたインデックスCAM(Content Addressable Memory)から構成されたテーブルアドレス生成部28の1実施例を示す。インデックスCAM28は、CAM部281とRAM部282からなり、RAM部282に読み出すべきデータが格納され、CAM部281に上記データを一意に識別するための「タグ」と呼ばれる情報が格納されている。インデックスCAMに検索キーを与えられると、上記検索キーに一致するタグを持ったデータがRAM部282から読み出される。すなわち、連想メモリは、タグとデータとの組み合わせを蓄積しておき、通常のメモリアクセスにおける読み出しアドレスの代わりに、意味のあるデータを与えて内容を読み出すようになっている。

【0025】本実施例では、上記インデックスCAMに対して、入力VPIと、入力VCIと、迂回対象セル検出部26から与えられた障害回線情報とからなる検索キーを与え、CAM部に上記検索キーと一致するタグがあった場合に、RAM部から所望のデータが読み出されるようにしている。RAM部から読み出されたデータは、迂回ルーティングテーブル25の読み出しアドレスとなる。この時、有効信号が迂回ルーティングテーブル25とセクタ27に送られる。CAM部に一致するタグがない場合は、無効アドレスが迂回ルーティングテーブル25に送られ、無効信号が迂回ルーティングテーブル25とセクタ27に送られる。

【0026】セクタ27は、迂回対象セル検出回路261から迂回指示が通知され、且つテーブルアドレス生成部28から有効信号が入力された場合は、迂回ルーティングテーブル25の出力データ(出力VPI、出力VCIおよび出力回線情報)を選択し、それ以外の場合は、ルーティングテーブル21の出力データ(出力VPI、出力VCIおよび出力回線情報)を選択し、ATMセルヘッダ書換え部22に供給する。セルヘッダ書換え部22は、入力ATMセルのVPI、VCIをセクタ27から入力された出力VPI/VCIの値に書き換え、出力回線情報を付加した形でATMスイッチ1に送る。なお、ATMスイッチ1の構成が、例えば、複数の

出力回線のポートインターフェイスを共通バスで接続し、アドレスバス上に出力されたアドレスに一致するポートインターフェイスがデータバス上のATMセルを取り込むバス型構造をもつ場合は、上記出力回線情報をセルヘッダから分離した形でATMスイッチ1に供給するようにしてもよい。

【0027】次に、本発明のATM交換機におけるATMセルの出力バスの切替え動作について説明する。ここでは、説明を容易にするために、ATM交換機内で用いられる出力回線情報が各出力回線と対応するビットマップで表現され、セルを送信すべき出力回線と対応したビット位置には「1」が設定され、それ以外の回線と対応するビット位置には「0」が設定されるものとする。また、出力回線ビットマップメモリ263は、ルーティングテーブルから送られた出力回線情報、つまり出力回線ビットマップをスルーで迂回対象セル検出回路261に送るものとする。

【0028】図7は、本発明の迂回動作を説明するためのネットワークの1例を示す。図において、S1はマルチキャストコネクションの送信端末、R1、R2はマルチキャストコネクションの受信端末、N1、N2、N3、N4、N5、N6は本発明の構成を備えるATM交換機（ノード装置）、L1、L2、L3、L4、L5、L6、L7、L8、L9、L10、L11はATM交換機間を接続する通信回線を示す。ここでは、送信端末S1から受信端末R1、R2に、図8の太線で示すバスに沿って、マルチキャストコネクションC1を設定した場合を想定する。送信端末S1からATM交換機N1に入力されたATMセルは、回線L3とL4にマルチキャストされる。

【0029】今、ATM交換機N1に入力されるATMセル（入力セル）のVPI、VCIの値をそれぞれ「3」、「41」とし、ATM交換機N1から出力されるATMセル（出力セル）のVPI、VCIの値をそれぞれ「7」、「54」とすると、ATM交換機N1の回線L1に接続された入力回線インターフェイス（入力ATMレイヤ処理回路）2のルーティングテーブル21には、上記マルチキャストコネクションC1に対応して、図10に示す変換用ヘッダ情報が設定される。ここでは、ATM交換機N1の出力回線数を8とし（図では、そのうちの5本が示してある）、出力回線情報（8ビット）のビット位置1、2、3、4、5、…がそれぞれ通信回線L1、L2、L3、L4、L5、…に対応している。

【0030】図10の出力回線情報は、ビット位置3、4が「1」となっているため、コネクションC1（VPI＝「7」、VCI＝「54」）の入力セルは、回線L3とL4に出力すべきことを示している。本発明では、上記マルチキャストコネクションC1に対して、例えば図9に示すように、迂回路を予め設定しておく。

【0031】図9の（A）は、出力回線L3に障害が発生した場合（回線L7またはATM交換機N2の障害を含む）に、ATM交換機N1が選択する迂回路を示す。この場合、受信端末R1に向かうATMセルは、回線L2に出力され、ATM交換機N5と通信回線L6を経由して、ATM交換機N4に到達する。図9の（B）は、回線L4に障害が発生した場合の迂回路を示す。受信端末R2に向かうATMセルは、回線L5に出力され、ATM交換機N6と通信回線L9を経由して、ATM交換機N3に到達する。図9の（C）は、上記（A）と（B）の障害が同時に発生した場合の迂回路を示す。受信端末R1に向かうATMセルは、（A）に示した迂回路L2に出力され、受信端末R2に向かうATMセルは、（B）に示した迂回路L5に出力される。

【0032】回線障害時に上述した迂回動作を実現するためには、ATM交換機N3、N4、N5、N6において、それぞれのルーティングテーブル21に、迂回コネクションのルーティング情報を通常コネクションの場合と同様に設定する。また、ATM交換機N1の回線インタフェース102において、以下に述べるように情報設定をしておく。

【0033】まず、迂回ルーティングテーブル25に、図11の（A）、（B）、（C）に示すような迂回用ヘッダ情報を予め設定しておく。これらの迂回用ヘッダ情報は、それぞれ図9の（A）、（B）、（C）と対応した迂回動作を行うためのものであり、それぞれ迂回ルーティングテーブル25のアドレス「6」、「8」、「11」に設定されている。上記迂回用ヘッダ情報に対応させて、テーブルアドレス生成部28に、図12の（A）、

（B）、（C）に示す情報を設定しておく。また、迂回対象セル検出部26の切替端指示テーブル262で、コネクションC1に対応する値を「1」に設定しておく。尚、テーブルアドレス生成部28には、CAM部の障害回線情報が全て「0」のデータは設定されていないものとする。ATM交換機N1では、初期設定時に、障害回線ビットマップレジスタ265と障害VPIビットマップメモリ264が、それぞれ図13の（A）、（B）に示すように、全て「0」に設定されている。

【0034】出力回線L3、L4に障害が発生していない状態では、回線L1からコネクションC1のATMセルが受信されると、ルーティングテーブル21から、図10に示した変換用ヘッダ情報（出力VPI、VCI、出力回線情報）が読み出され、セクタ27に供給される。また、上記変換用ヘッダ情報のうち、出力VPIと出力回線情報が迂回対象セル検出部26に入力される。このとき、障害回線ビットマップレジスタ265の出力は全て「0」となっているため、迂回対象セル検出回路261では、AND回路304の各出力ビットは全て「0」となる。また、障害VPIビットマップメモリ264の出力も全て「0」となっているため、AND回路

305の各出力ビットの値も同様に全て「0」になる。切替端指示テーブル262の出力は「1」となっているが、OR回路307の出力が「0」であるため、AND回路306の出力は「0」となり、セクタ27への迂回指示信号は「0」となる。

【0035】また、ラッチ309の値は全て「0」であり、このラッチ出力を検索キーとして受け取ったテーブルアドレス生成部28では、CAM部にこれと一致する値が存在しないため、迂回ルーティングテーブル25に無効信号と無効アドレスを出力することになる。従って、迂回ルーティングテーブル25は、セクタ27に対して無効データを送る。上記セクタ27は、迂回対象セル検出部26からの迂回指示信号が「0」であることから、ルーティングテーブル21の出力を選択して、セルヘッダ書換え部22に送る。従って、ATM交換機N1は、図8に示すように、コネクションC1のATMセルを回線L3とL4に送出するよう動作する。

【0036】回線障害が発生した場合、ATM交換機N1は次のように動作する。今、回線L3と接続された回線インタフェース102において、障害監視回路4が回線障害を検出したと仮定する。この場合、制御プロセッサ5と制御装置103を経由して、各回線インタフェース102に回線障害情報が通知される。制御プロセッサ5は、図12の(A)に示すように、迂回対象セル検出部26の障害回線ビットマップレジスタ265のビット位置3を「1」に設定する。

【0037】この状態で、通信回線L1からコネクションC1のATMセルを受信すると、迂回対象セル検出回路261のAND回路304の出力の各ビットの値は、図15の(A)のようになる。また、障害VPIビットマップメモリ264の出力は全て「0」であるから、AND回路305の出力ビットの値は全て「0」になる。この場合、切替端指示テーブル262の出力は「1」、OR回路307の出力も「1」であるので、AND回路306の出力が「1」になり、セクタ27に迂回指示信号「1」が供給される。

【0038】また、ラッチ309には、図15の(A)に示す値が設定され、これが検索キーとしてテーブルアドレス生成部28に送られる。テーブルアドレス生成部28では、CAM部の内容が上記検索キーと一致する図12の(A)に示したRAM部の内容(アドレス＝「6」)が読み出され、有効信号と共に、迂回ルーティングテーブル25に送られる。迂回ルーティングテーブル25からは、上記アドレスと対応して、図11の

(A)に示した迂回用ヘッダ情報が読み出され、セクタ27に供給される。セクタ27は、迂回対象セル検出部26から迂回指示信号が「1」で、且つ、テーブルアドレス生成部から有効信号が出力されているため、迂回ルーティングテーブル25の出力(出力VPI＝「7」、VCI＝「54」、出力回線情報＝「01010000」)をセ

ルヘッダ書換え部22に与える。従って、入力ATMセルは、図9の(A)に示すように、出力回線L2とL4に送出されることになる。

【0039】通信回線L3の回線障害が復旧した場合は、制御プロセッサ5、制御装置103を経由して各回線インタフェース102に回線復旧情報が通知される。制御プロセッサ5は迂回対象セル検出部26の障害回線ビットマップレジスタ265のビット位置3を「0」に設定する。

10 【0040】次に、VP障害発生の場合の動作について説明する。通信回線L4が接続されている回線インタフェース102の障害監視回路4がVPIの値が「7」のVP障害を検出した場合、制御プロセッサ5、制御装置103を経由して各回線インタフェース102にVP障害情報が通知される。制御プロセッサ5は図12(b)に示すように迂回対象セル検出部26の障害VPIビットマップメモリ264のVPIの値が7に対応するビットマップのビット位置4を「1」に設定する。

20 【0041】障害VPIビットマップメモリ264のVPI＝「7」に対応するビットマップが、図14の(B)の状態にあるとき、回線L1からコネクションC1のATMセルを受信すると、障害回線ビットマップレジスタ265の出力は全て「0」であるから、迂回対象セル検出回路261のAND回路304の出力の各ビットの値は全て「0」になる。また、AND回路305の出力の各ビットの値は、図15の(B)のようになる。

30 【0042】切替端指示テーブル262の出力が「1」で、OR回路307の出力が「1」であるので、AND回路306からセクタ27に迂回指示信号「1」が出力される。また、ラッチ309には、図15の(B)に示す出力回線情報が設定され、これが検索キーとしてテーブルアドレス生成部28に供給される。テーブルアドレス生成部28では、CAM部が上記検索キーと一致する図12の(B)に示すRAM部の値(アドレス＝「8」)が読み出され、有効信号と共に迂回ルーティングテーブル25に供給される。

40 【0043】迂回ルーティングテーブル25は、上記アドレスに基づいて、図11の(B)の迂回ヘッダ情報を読み出し、セクタ27に供給する。セクタ27は、迂回対象セル検出部26からの迂回指示信号が「1」で、且つ、テーブルアドレス生成部から有効信号が出力されているので、迂回ルーティングテーブル25からの出力(出力VPI＝「7」、VCI＝「54」、回線情報＝「00101000」)をセルヘッダ書換え部22に供給する。従って、ATMセルは、図9の(B)のように、出力回線L3とL5に送出されることになる。

50 【0044】回線L4においてVPI＝「7」のVP障害が復旧した場合は、制御プロセッサ5および制御装置103を経由して、各回線インタフェース102にVP復旧が通知される。この時、制御プロセッサ5は、迂回

対象セル検出部26の障害VPIビットマップメモリ264において、VPI=「7」に対応するビットマップのビット位置4の値を「0」にリセットする。

【0045】次に、回線障害とVP障害が同時発生した場合の動作について説明する。例えば、回線L3で回線障害が発生した後、回線L4と接続されている回線インタフェース102において、VPI値が「7」のVP障害を検出した場合を考える。この場合、障害回線ビットマップレジスタ265の内容が、図14の(A)のように変化し、障害VPIビットマップメモリ264において、VPI=7に対応するビットマップの内容が、同図の(B)のように変化する。

【0046】ATM交換機N12では、回線L1からコネクションC1のATMセルを受信すると、迂回対象セル検出回路261におけるAND回路304の出力ビットの値は、図15の(A)のようになり、AND回路305の出力ビットの値は、同図の(B)のようになる。この場合、切替端指示テーブル262の出力が「1」、OR回路307の出力が「1」となるため、AND回路306の出力が「1」となり、セクタ27には迂回指示信号「1」が供給される。また、ラッチ309には、図15の(C)の値が設定され、これがテーブルアドレス生成部28に検索キーとして供給される。

【0047】テーブルアドレス生成部28では、CAM部が上記検索キーと一致する図12の(C)に示すテーブルアドレス「11」がRAM部から読み出され、有効信号と共に、迂回ルーティングテーブル25に送られる。従って、迂回ルーティングテーブル25からは、アドレス「11」に格納してある図11の(C)に示した迂回用ヘッダ情報が読み出され、セクタ27に供給される。セクタ27は、迂回対象セル検出部26からの迂回指示信号が「1」であり、且つ、テーブルアドレス生成部から有効信号が入力されているため、迂回ルーティングテーブル25の出力(出力VPI=「7」、出力VCI=「54」、出力回線情報=「01001000」)がセルヘッダ書替え部22に供給される。従って、上記ATMセルは、図9の(C)に示すように、出力回線L2とL5に送出されることになる。

【0048】出力回線L3の回線障害が復旧した場合は、制御プロセッサ5および制御装置103を経由して、各回線インタフェース102に回線復旧が通知される。この時、制御プロセッサ5は、迂回対象セル検出部26の障害回線ビットマップレジスタ265のビット位置3の値を「0」にリセットする。また、出力回線L4において、VPI値=「7」のVP障害が復旧した場合は、制御プロセッサ5および制御装置103を経由して、各回線インタフェース102にVP復旧情報が通知され、制御プロセッサ5が、迂回対象セル検出部26の障害VPIビットマップメモリ264に格納されているVPI値=「7」に対応するビットマップデータにおい

て、ビット位置4の値を「0」にリセットする。

【0049】次に、障害回線またはVPI障害回線の迂回後に迂回先の回線で新たな障害が発生した場合の迂回動作について説明する。図7と同様の構成をもつ図16のネットワークにおいて、送信端末S1から受信端末R2への通信が、太線で示したコネクションC2を介して行われていると仮定する。ここで、回線L1からATM交換機N1に入力されるATMセルのVPI、VCIの値をそれぞれ「5」、「98」とし、ATM交換機N1から回線L3に出力されるATMセルのVPI、VCIの値をそれぞれ「8」、「43」とすると、ATM交換機N1において、上記回線L1に接続された入力インターフェイス(入力ATMレイヤ処理回路)2のルーティングテーブル21には、コネクションC2に関する変換用ヘッダ情報が図18の内容で設定されている。

【0050】上記コネクションC2に対し、回線L3に代わる迂回路L4、L5を、図17の(A)、(B)に太線で示すように設定する場合を考える。

【0051】図17の(A)は、出力回線L3、またはその下流側に位置するATM交換機N2または通信回線L11に障害が発生した場合に選択される迂回路を示す。この場合、受信端末R2に向かうATMセルは、出力回線L4を経由してATM交換機N4に到達する。図17の(B)は、出力回線L3(またはその下流側に位置したATM交換機N2または通信回線L11)に障害が発生し、更に迂回先の出力回線L4にも障害が発生した場合に、選択される第2の迂回路を示し、受信端末R2に向かうATMセルは、出力回線L5、ATM交換機N6、通信回線L9を経由してATM交換機N3に到達する。

【0052】上述した2重障害時の迂回動作を行うためには、下流側のATM交換機N3および迂回路上のATM交換機N6において、ルーティングテーブル21に、迂回路(L5、L9)用のヘッダ情報を予め通常コネクションの変換用ヘッダ情報と同様に設定しておく。さらに、発側のATM交換機N1において、入力回線L1と接続された回線インタフェース102に予め以下のようにテーブル情報を設定しておく。

【0053】図19の(A)、(B)は、迂回ルーティングテーブル25のアドレス「15」と「31」に設定された迂回用ヘッダ情報を示し、それぞれ図17の

(A)、(B)に示した迂回動作と対応している。図20の(A)、(B)は、上記迂回用ヘッダ情報と対応してテーブルアドレス生成部28に設定されるアドレス検索情報を示す。尚、迂回対象セル検出部26の切替端指示テーブル262では、上記コネクションC2に対応する値を「1」にしておく。

【0054】ATM交換機N1において、回線L3に接続された回線インタフェース102の障害監視回路4が出力回線L3に回線障害が発生したことを検出すると、

障害回線L3に対応して、障害回線ビットマップレジスタ265のビット位置3が「1」にセットされる。従って、図9で説明したのと同様の原理で、テーブルアドレス生成部28から図20の(A)に示したアドレス「15」が読み出され、これに基づいて図19の(A)に示した迂回用ヘッダ情報(出力VPI=「11」、出力VCI=「103」、出力回線情報=「00010000」)がセルヘッダ書替え部22に供給され、それ以降到着した当該コネクションC2のATMセルが、図17の(A)に示すように、第1の迂回用出力回線L4に送出されることになる。

【0055】この状態で、回線L4に接続されている回線インタフェース102の障害監視回路4が出力回線L4の回線障害が発生したことを検出すると、障害回線ビットマップレジスタ265のビット位置4にも「1」がセットされ、障害回線ビットマップレジスタ265は回線L3とL4が障害状態にあることを示す。この場合は、テーブルアドレス生成部28から図20の(B)に示したアドレス「31」が読み出され、これに基づいて図19の(B)に示した迂回用ヘッダ情報(出力VPI=「10」、出力VCI=「204」、出力回線情報=「00001000」)がセルヘッダ書替え部22に供給され、それ以降到着した当該コネクションC2のATMセルが、図17の(B)に示すように、第2の迂回用出力回線L5に送出されることになる。

【0056】以上の如く、迂回ルーティングテーブルに、現用パスに障害が発生した場合に選択すべき第1の迂回先回線、さらには上記第1の迂回先回線に障害が発生した場合に選択すべき第2、第3、……の迂回先回線を予め登録しておくことにより、多重障害が発生した場合でも迅速に迂回動作を行うことができる。上記実施例では迂回先で回線障害が発生した場合について説明したが、迂回先でVP障害が発生した場合にも同様の原理によって多重障害の迂回動作を実現できることは明らかである。

【0057】

【発明の効果】以上の説明から明らかなように、本発明によれば、ATM交換機の各回線インタフェース部に、障害発生時の迂回先と対応して変換用のヘッダ情報を予め備えておくことにより、網に障害が発生した場合に迅速に迂回動作を行うことができ、廃棄セル数を削減できる。また、コネクション毎に迂回路を多重に設定しておき、各迂回路毎のヘッダ情報を予め用意しておくことによって、多重障害発生時にも迂回動作を迅速に行うことが可能となる。

【図面の簡単な説明】

【図1】本発明のATM交換機に適用される入力インタフェース2の1実施例を示すブロック図。

【図2】図1および図23に示したルーティングテーブル21に設定される変換用ヘッダ情報の1例を示す図。

【図3】図1に示した本発明の入力インタフェース2に含まれる迂回ルーティングテーブル25に設定される迂回用ヘッダ情報の1例を示す図。

【図4】図1に示した入力インタフェース2に含まれる迂回対象セル検出部26の1実施例を示すブロック図。

【図5】図4に示した迂回対象セル検出部26に含まれる迂回対象セル検出回路261の1実施例を示すブロック図。

10 【図6】図1に示した入力インタフェース2に含まれるテーブルアドレス生成部28の1実施例を示す図。

【図7】本発明を適用する通信ネットワークの1例を示す図。

【図8】図7の通信ネットワーク上に形成されるマルチキャストコネクションC1の経路を示す図。

【図9】図8のマルチキャストコネクションC1における障害発生時のパス切替動作を説明するための図。

20 【図10】図1に示した入力インタフェース2に含まれるルーティングテーブル21に設定される変換用ヘッダ情報の1例を示す図。

【図11】図1に示した入力インタフェース2に含まれる迂回ルーティングテーブル25に設定される迂回用ヘッダ情報の1例を示す図。

【図12】図1に示した入力インタフェース2に含まれるテーブルアドレス生成部28に設定される情報の1例を示す図。

【図13】図4に示した障害回線ビットマップレジスタ265と障害VPIビットマップメモリ264の初期状態における記憶内容を示す図。

30 【図14】図4に示した障害回線ビットマップレジスタ265と障害VPIビットマップメモリ264の障害発生時における記憶内容の1例を示す図。

【図15】障害発生時に、図1に示した迂回対象セル検出部26からテーブルアドレス生成部28に出力される検索キーデータの1例を示す図。

【図16】本発明の第2の実施例である多重障害時のパス切替動作を説明するためのネットワーク上のコネクションC2を示す図。

40 【図17】コネクションC2に多重障害が発生した場合の本発明によるパス切替動作を説明するための図。

【図18】第2実施例でルーティングテーブル21に設定される変換用ヘッダ情報の1例を示す図。

【図19】第2実施例で迂回ルーティングテーブル25に設定される迂回用ヘッダ情報の1例を示す図。

【図20】第2実施例でテーブルアドレス生成部28に設定される検索情報の1例を示す図。

【図21】本発明を適用するATM交換機の1例を示す構成図。

50 【図22】図21に示したATM交換機の実線インタフェース102の従来技術における構成の1例を示す図。

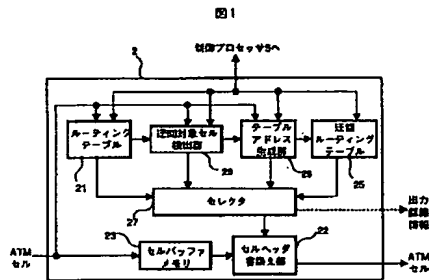
21

【図23】図22に示した回線インターフェイスに含まれる入力回線インタフェース（入力ATMレイヤ処理回路）2の従来技術における構成の1例を示す図。

【符号の説明】

101…ATMスイッチ、102…回線インタフェース、103…制御装置、2…入力ATMレイヤ処理回路、3…出力ATMレイヤ処理回路、4…障害監視回路、5…制御プロセッサ、21…ルーティングテーブル、22…セルヘッダ書換え部、23…セルバッファメモ

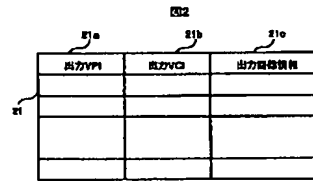
【図1】



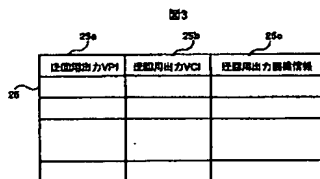
22

モリ、25…迂回ルーティングテーブル、26…迂回対象セル検出部、27…セクタ、28…テーブルアドレス生成部、261…迂回対象セル検出回路、262…切替端指示テーブル、263…出力回線ビットマップメモリ、264…障害VPIビットマップメモリ、265…障害回線ビットマップレジスタ、281…CAM部、282…RAM部、S1…送信端末、R1、R2…受信端末、N1～N6…ATM交換機、L1～L11…通信回線。

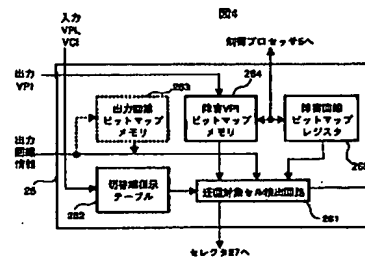
【図2】



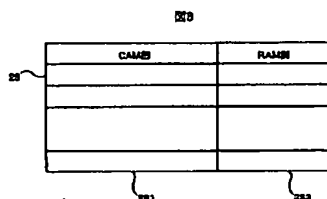
【図3】



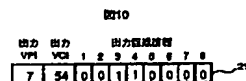
【図4】



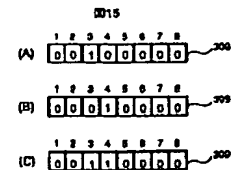
【図6】



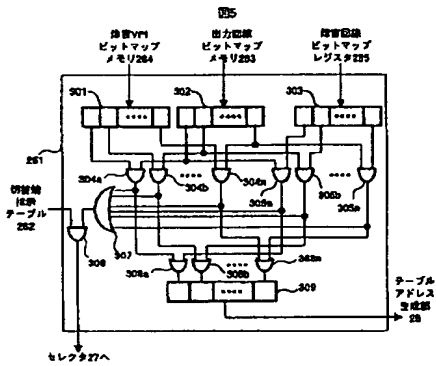
【図10】



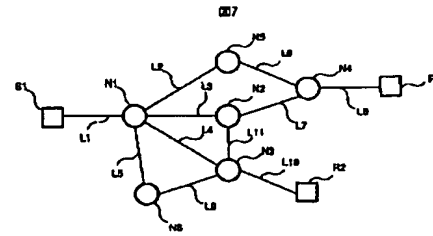
【図15】



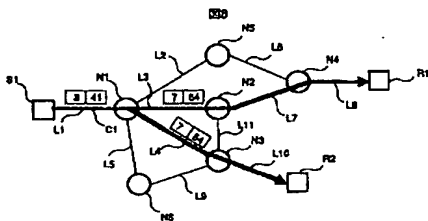
【図5】



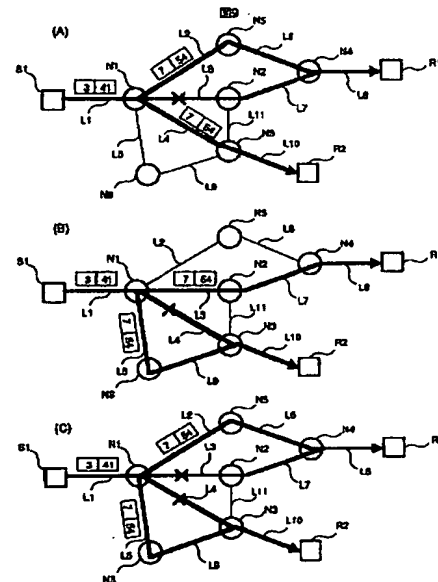
【図7】



【図8】



【図9】

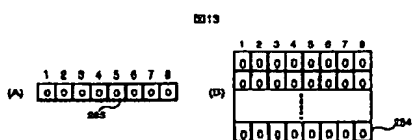


【図11】

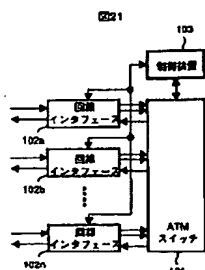
図11

	回路ルーティング ケーブルアドレス	出力 VR	出力 VR	出力図番作数							
				1	2	3	4	5	6	7	8
(A)	6	7	54	0	1	0	1	0	0	0	0
(B)	6	7	54	0	0	1	0	1	0	0	0
(C)	11	7	54	0	1	0	0	1	0	0	0

【図13】



【図21】



【図22】

